

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-326489

(43)Date of publication of application : 16.12.1997

(51)Int.Cl.

H01L 29/78

H01L 29/41

H01L 21/336

(21)Application number : 08-143923

(71)Applicant : NEC CORP

(22)Date of filing : 06.06.1996

(72)Inventor : FURUKAWA AKIO

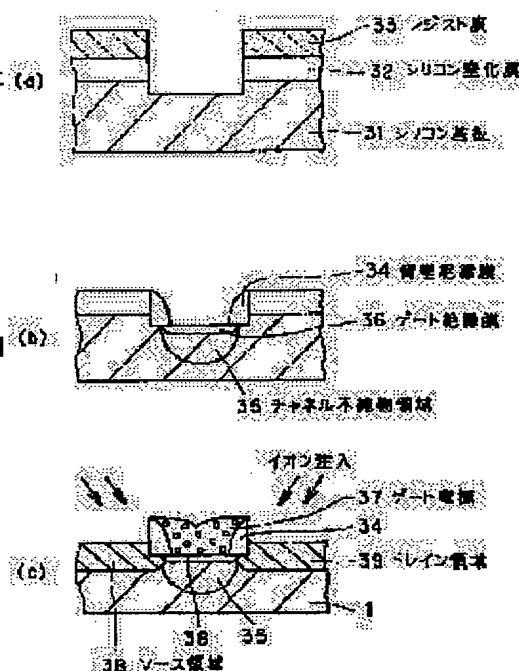
(54) MOSFET AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the short channel effect by reducing the parasitic capacitance between a gate electrode and a source drain region.

SOLUTION: A silicon nitride film 32 is formed on a p type silicon substrate 31 to form a trench in the substrate 31 by etching step using the resist film 32 as a mask. Next, the resist film is removed to form a sidewall insulating film 34 on the side of the trench. Further, the surface is ion-implanted with boron to form a channel impurity region 35 as well as a gate insulating film 36.

Successively, a gate electrode 37 is formed by depositing and etching back polysilicon and the silicon nitride film 32 is removed. Finally, the whole surface is ion-implanted with arsenic in the oblique direction so as to form a source region 38 and a drain region 39.



LEGAL STATUS

[Date of request for examination] 06.06.1996

[Date of sending the examiner's decision of rejection] 04.08.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] MOSFET characterized by forming a slot in a semi-conductor substrate, forming gate dielectric film and a side-attachment-wall insulator layer in the base and side face of this slot, respectively, forming a gate electrode in Mizouchi inserted into said side-attachment-wall insulator layer, and forming the source drain field in contact with a part of side face of said side-attachment-wall insulator layer, and base.

[Claim 2] Said slot is MOSFET according to claim 1 which the semi-conductor substrate between said side-attachment-wall insulator layers is making the configuration dug further deep the 1/10 or less depth of the distance between said side-attachment-wall insulator layers, and is characterized by forming gate dielectric film in the base and side face of this **** lump part.

[Claim 3] MOSFET according to claim 1 characterized by adding the impurity of the same conductivity type as a source drain field at said side-attachment-wall insulator layer.

[Claim 4] (1) The process which forms the 1st insulator layer on a semi-conductor substrate, etches selectively this 1st insulator layer and said semi-conductor substrate, and forms a slot, (2) The process which deposits and carries out etchback of the 2nd insulator layer to the whole surface, and forms a side-attachment-wall insulator layer in the side face of said slot, (3) The process which forms gate dielectric film in the front face of the semi-conductor substrate which oxidizes thermally and is not protected by said the 1st insulator layer and said side-attachment-wall insulator layer, (4) — the process which forms the gate electrode which buries said Mizouchi inserted into said side-attachment-wall insulator layer, and (5) — the manufacture approach of MOSFET including the process which performs an ion implantation by using said side-attachment-wall insulator layer and said gate electrode as a mask, and forms a source drain field.

[Claim 5] The manufacture approach of MOSFET according to claim 4 characterized by performing the ion implantation in the process of said ** (5) from across.

[Claim 6] The manufacture approach of MOSFET according to claim 4 characterized by inserting the process which carries out etching clearance of said 1st insulator layer before the process of account ** of back to front (5) of the process of said ** (4).

[Claim 7] The manufacture approach of MOSFET according to claim 4 characterized by inserting the process which a semi-conductor substrate is etched [process] into the 1/10 or less depth of the distance between said side-attachment-wall insulator layers, and projects the base of a slot downward by using said the 1st insulator layer and said side-attachment-wall insulator layer as a mask in front of the process of account ** of back to front (3) of the process of said ** (2).

[Claim 8] The manufacture approach of MOSFET according to claim 4 characterized by inserting the process which dopes a channel impurity under the base of said slot before the process of account ** of back to front (3) of the process of said ** (2).

[Claim 9] The manufacture approach of MOSFET according to claim 4 characterized by performing the ion implantation which the side-attachment-wall insulator layer formed in the process of said ** (2) contains the impurity of the same conductivity type as a source drain field, and is performed in the process of said ** (5) 10 degrees or less a perpendicular direction thru/or from across.

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention — the structure of MOSFET — and — the — it digs deep and is the so-called thing about MOSFET and its manufacture approach of gate structure which carried out manufacture approach Seki and was especially embedded in the gate electrode fang furrow.

[0002]

[Description of the Prior Art] MOSFET serves as a technical problem with how important a short channel effect is suppressed in that case, although the improvement in a property has been achieved by making it detailed. For short-channel-effect control, it is known that it is effective to make shallow the source near a gate edge and junction of a drain. Moreover, although it is important to reduce the diffusion layer capacity of a drain in order to raise the engine performance of MOSFET more, the method of a channel impurity range lessening area which laps with the source and a drain as much as possible for that purpose, and pouring a channel impurity only into the bottom of the gate is effective.

[0003] As structure of filling these demands effectively, it digs deep and the transistor of gate structure is proposed. The cross-section structure is shown in drawing 8 and drawing 9. What was shown in drawing 8 Others [Takeda / E.], "New Grooved-Gate MOSFET with Drain Separated from Channel Implanted Region (DSC)", IEEE Transactions on Electron It is proposed in 1986 and 1983. Devices, Vol.ED-30, N 0.6, and pp.681- After the channel impurity range 64 etches and digs a silicon substrate 61 deep, it is formed of an ion implantation, and gate dielectric film 65 and the gate electrode 66 are formed on this. And the source field 62 and the drain field 63 are formed so that the side face of the gate electrode 66 may be countered. With such structure, since the channel impurity range 64 is formed only in the part under a gate electrode among silicon substrates 61, the source field 62 and drain field 63 bottom can be made into low concentration, and can aim at reduction of diffusion layer capacity. Moreover, since the source field and the drain field are formed above the channel, they can form shallow junction on the basis of the underside of gate dielectric film 65, and effectiveness is in short-channel-effect control.

[0004] Drawing 9 is "A besides J.Tanaka. Sub-0.1- μ m GroovedGate MOSFET with High Immunity Short-Channel Effects, Digest of IEDM It is proposed by 93 and pp.537-540 and the structure near the gate oxide is similar with the thing of drawing 8. Greatly different points are that the 2nd source field 68 and the drain field 69 are formed in the bottom of the source field 62 and the drain field 63, respectively, and that the thicker oxide film is formed in the side face and top face of the source field 62 and the drain field 63. In the case of this structure as well as the structure of drawing 8, since the channel impurity range 64 is formed at the silicon substrate of a gate electrode lower part, it can aim at reduction of diffusion layer capacity. Furthermore, since shallow junction is formed on the basis of the gate oxide underside, the 2nd source field 68 and the 2nd drain field 69 have effectiveness in short-channel-effect control. Moreover, it is the same configuration as drawing 9, and making the field equivalent to the 2nd source field and the 2nd drain field into a low impurity range is proposed by JP,5-109758,A.

[0005]

[Problem(s) to be Solved by the Invention] The former mentioned above dug deep, since it became the structure where a gate electrode counters through thin gate dielectric film in the gate mold MOSFET with a source drain field (or the 2nd source field and the 2nd drain field), a big capacity will be parasitic between the gate sources and between gate drains, and the high-speed operation of a component was checked. therefore, the thing which the technical problem which should solve this invention abolishes for the part which a gate electrode and a source drain field counter through thin gate oxide — or it is reducing the parasitic capacitance between the gate sources and between gate drains by lessening as much as possible.

[0006]

[Means for Solving the Problem] By etching some substrates, the technical problem mentioned above is formed in the location where the front face of gate dielectric film is lower than the top face of a source field and a drain field, and can be solved by forming an insulator layer thicker than gate dielectric film between the side faces of the side face of a gate electrode, a source field, and a drain field.

[0007]

[Embodiment of the Invention] MOSFET by this invention is characterized by forming a slot in a semi-conductor substrate, forming gate dielectric film and a side-attachment-wall insulator layer in the base and side face of this slot, respectively, forming a gate electrode in Mizouchi inserted into said side-attachment-wall insulator layer, and forming the source drain field in contact with a part of side face of said side-attachment-wall insulator layer, and base. Moreover, a slot can be made into the configuration where the base which investigated the pinched substrate projected downward, and gate dielectric film is formed in the base and side face for the height in that case.

[0008] Moreover, the manufacture approach of MOSFET by this invention (1) The process which forms the 1st insulator layer on a semi-conductor substrate, etches selectively this 1st insulator layer and said semi-conductor substrate, and forms a slot, (2) The process which deposits and carries out etchback of the 2nd insulator layer to the whole surface, and forms a side-attachment-wall insulator layer in the side face of said slot, (3) The process which forms gate dielectric film in the front face of the semi-conductor substrate which oxidizes thermally and is not protected by said the 1st insulator layer and said side-attachment-wall insulator layer, (4) — the process which forms the gate electrode which buries said Mizouchi inserted into said side-attachment-wall insulator layer, and (5) — the process which performs an ion implantation by using said side-attachment-wall insulator layer and said gate electrode as a mask, and forms a source drain field is included. And the ion implantation in the process of ***** (5) can be performed from across to a substrate side.

[0009] [Function] — the parasitic capacitance which the former dug deep and existed between the gate of the gate mold MOSFET and a source drain field can be reduced by thickening the insulator layer between a gate electrode, a source field, and a drain field. However, since it becomes difficult to generate a carrier to the interface of this insulator layer and a silicon substrate even if it will impress an electrical potential difference to the gate in this case, if an insulator layer is thick, strong resistance sticks between a channel, a source field, and a channel and a drain field. In order to prevent this, it is necessary to introduce an impurity into the insulator layer bottom appropriately.

[0010] although a thick side-attachment-wall insulator layer is prepared between the gate, a source field, and a drain field and parasitic capacitance is reduced in MOSFET of this invention. — the bottom of this insulator layer — an impurity — introducing — between a channel, a source field, and a channel and a drain field — low — since it is necessary to form a layer [****] by the thickness to which a short channel effect does not happen, the thickness of this insulator layer has a limit. When an impurity is introduced by the ion implantation and it is going to control a short channel effect by gate length 0.25 micrometers or less, in order to form the impurity layer of this thickness by the slanting ion implantation, the thickness of an insulator layer has 50nm or less good [the thickness of an impurity layer required for the bottom of an insulator layer has desirable 50nm or less, and]. Since the thickness of the impurity layer needed or an insulator layer is proportional to gate length, it can be said that the gate length of the thickness of an insulator layer is [$1/5$ or less] desirable.

[0011] Moreover, when forming a slot in the configuration where the base projected downward and forming gate dielectric film in the side face and base, channel length can be lengthened and a short channel effect can be controlled more certainly. However, when this configuration is adopted, the parasitic capacitance between a gate electrode and a source drain increases a little. However, the increment in the parasitic capacitance applied to the gate by restricting the depth of the height of a slot to below fixed can be slightly suppressed by stopping the junction depth of a source drain field. For example, when holding down the depth of the height of a slot to 1/10 or less [of the die length (channel length) of the base], the increment of parasitic capacitance can be suppressed within twenty percent of gate capacitance, and it is not necessary to cause big property lowering. In the case of IC for optical communication which aims at improvement in the speed, especially this is important. The increment in the parasitic capacitance between the gate sources and between gate drains can be suppressed to minimum, without making source resistance and drain resistance increase, when formed in the configuration in which a height has a slot when setting the junction depth seen from the base of the side-attachment-wall insulator layer of a source drain field as less than [thickness extent of a side-attachment-wall insulator layer, or it].

[0012] Moreover, according to the manufacture approach of this invention, the side-attachment-wall insulator layer with thickness thicker than gate dielectric film is formed with the etchback following insulator layer formation and it of desired thickness, after etching a silicon substrate, in order to dig deep and to form the gate. The side-attachment-wall insulator layer of desired thickness is simply formed in the etched side face by this, and this will be located between the gate, a source field, and a drain field, and can reduce a capacity in the meantime. Moreover, although an impurity is introduced into the bottom of this thick insulator layer by the ion implantation, if an ion implantation is carried out with the vertically suitable acceleration voltage for a substrate when said insulator layer is about 20nm, an about 20nm thin impurity layer can be formed in the bottom of said insulator layer. Moreover, in the case of thickness 20nm or more, if said insulator layer carries out the ion implantation of the impurity from across with suitable acceleration voltage to a substrate, it can form a thin impurity layer in the bottom of said insulator layer. By this impurity layer, resistance between a channel, a source field, and a drain field can be small performed in extent in which a component property does not deteriorate. And by setting up appropriately the range and the ion-implantation include angle of impregnation ion, also when the base of a slot is a flat and the projection (additional investigation section) is formed in the groove bottom side, a gate electrode and the part which counters can be stopped through the thin gate dielectric film of a source drain field to the minimum.

[0013]

[Example] Next, the example of this invention is explained to a detail with reference to a drawing.

[1st example] drawing 1 is the sectional view showing the 1st example of this invention. The slot whose depth is about 20nm is formed in a part of component formation field of the silicon substrate 1 of p mold whose high impurity concentration is about [$1 \times 10^{14} \text{cm}^{-3}$] three of etching in 0.3 micrometers long and 10 micrometers wide magnitude, and the side-attachment-wall insulator layer 2 with a thickness of about 20nm is formed in the side face of the slot. Gate dielectric film 4 with a thickness of 10nm is formed in the silicon substrate surface of the part surrounded by the side-attachment-wall insulator layer 2, and the gate electrode 5 is formed in the field where the channel impurity range 3 of $5 \times 10^{17} \text{cm}^{-3}$ is on gate dielectric film 4 again, and high impurity concentration was surrounded by the side-attachment-wall insulator layer 2 under gate dielectric film 4. And the drain field 7 is formed in one outside of the side-attachment-wall insulator layer 2 on the outside of the source field 6 and an opposite hand. Here, the source field 6 and drain field 7 bottom is under 20 to 30nm from a GE 1 TO electrode underside. And the junction depth is shallow gradually toward the direction of a channel under the side-attachment-wall insulator layer 2. The former digs deep according to this structure, the low diffusion layer capacity, the shallow source, and drain junction which are the description of the gate mold MOSFET are acquired upwards, and the big parasitic capacitance between the gate sources which were the conventional demerit, and between gate drains can be reduced by formation of the thick side-

attachment-wall insulator layer 2. As the term of an operation described, as for the thickness of this side-attachment-wall insulator layer, $1/5$ or less [of gate length] is desirable.

[0014] [2nd example] drawing 2 is the sectional view showing the 2nd example of this invention. Although the structure of this example is similar to the 1st example shown in drawing 1, a different point is a point that the gate electrode 8 has structure extended outside on the side-attachment-wall insulator layer. In the 1st example, although the gate electrode was formed with the etchback of the deposition film, in the case of this example, gate formation is performed by using the photolithography method and the dry etching method. The structure of other parts and an operation are the same as that of the case of the 1st example.

[0015] [3rd example] drawing 3 is the sectional view showing the 3rd example of this invention. The silicon substrate of the part surrounded by the side-attachment-wall insulator layer 2 is the point that it is etched into the less than $1/10$ depth of gate length, and this etching part is embedded with the electrode formation ingredient below the underside of the side-attachment-wall insulator layer 2, and the point which is different from the 1st example of this example is the same as the 1st example in respect of others. Although it increases from the case where the gate, a drain, and the capacity between the sources are the 1st example, with such structure, the junction depth of a source drain field is shallow toward the channel field, and since the amount of substrate etching is less than $1/10$ of gate length, capacity buildup doubles a source and drain side and is at most twenty percent. This buildup of less than twenty percent is important when attaining the specification of equipment. For example, in the optical transmission system, the data transmission rates have been specification second, such as 600 megabits per second, 2.4 gigabits /, and 10 gigabits /, a second. Although the data transmission rate of 2.5 gigabits/second was able to be obtained when produced using CMOS of 0.15 micrometers of gate length who adopted the method of this invention for IC for optical communication, and set the above-mentioned etching depth to $1/10$ of gate length, when the etching depth was set to $1.5/10$ of gate length, a second was not able to come in 2.3 gigabits /, and a second was not able to be attained in 2.4 gigabits /of specification.

[0016] [4th example] drawing 4 is the sectional view showing the 4th example of this invention. The silicon substrate of the part surrounded by the side-attachment-wall insulator layer 2 is the point that it is etched into the less than $1/10$ depth of gate length, and this etching part is embedded with the electrode formation ingredient below the underside of the side-attachment-wall insulator layer 2, and the point which is different from the 2nd example of this example is the same as the 2nd example in respect of others. By the junction depth of a source drain field being shallow gradually toward the channel field, although it increases from the case where the gate, a drain, and the capacity between the sources are the 2nd example, with such structure, since the amount of substrate etching is less than $1/10$ of gate length, capacity buildup doubles a source and drain side and ends by slight buildup.

[0017] The 1st example of the manufacture approach is explained with reference to the [1st example of the manufacture approach], next drawing 5. Drawing 5 (a) – (c) is the order sectional view of a process for explaining this example. First, a field insulator layer, n mold well, and p mold well (all have no graphic display) are formed in the front face of the silicon substrate 31 of 3 about [$1 \times 10^{14} \text{cm}^{-3}$ high impurity concentration to] p mold, and a component formation field is demarcated. Next, the silicon nitride (Si_3N_4) 32 is deposited on the thickness of 100nm, and the resist film 33 which has opening is formed in the gate formation field of a component through resist spreading and exposure, and a development process. Next, this is made into a mask, the silicon nitride 32 is etched, and a silicon substrate 31 is etched further a depth of 20nm [drawing 5 (a)]. Next, the resist film 33 is exfoliated, 20nm of silicon oxide is deposited as an insulator layer, and the side-attachment-wall insulator layer 34 is formed by anisotropic etching. Next, the ion implantation of the boron is carried out on condition that energy 40keV and dose $1 \times 10^{13} \text{cm}^{-2}$, the channel impurity range 35 is formed, then the front face of a silicon substrate 31 is oxidized and gate dielectric film 36 is formed [drawing 5 (b)].

[0018] Next, after forming the monolayer or laminated structure of polish recon, a metal or a metal / polish recon, or metal silicide / polish recon in the whole surface, the gate electrode 37 is formed only in

the part surrounded by anisotropic etching by the side-attachment-wall insulator layer 34, and etching clearance of the silicon nitride 32 is carried out. Next, the source field 38 and the drain field 39 are formed for arsenic by the ion implantation from [of 45 degrees] slant on condition that energy 30keV and dose $1 \times 10^{14} \text{cm}^{-2}$ [drawing 5 (c)]. Arsenic is introduced by this slanting ion implantation to the edge of gate dielectric film 36. A component is completed with the usual MOSFET formation process after this. In MOSFET manufactured by this production process, since a thick oxide film is formed between a gate electrode and a drain field (and source field), capacity in the meantime can be made small. Moreover, since ion-implantation energy can be chosen so that the underside of a drain field may be set to about 10 to 20nm from the underside of gate oxide, a shallow source field and a drain field are formed, and effectiveness is in short-channel-effect control.

[0019] The 2nd example of the manufacture approach is explained with reference to the [2nd example of the manufacture approach], next drawing 6. Drawing 6 (a) – (c) is the order sectional view of a process for explaining this example. The production process of this example shows the condition of the process shown in drawing 5 (b) having been the same as that of the case of the 1st example, and having ended this process to drawing 6 (a). Then, after forming the monolayer or laminated structure of polish recon, a metal or a metal / polish recon, or metal silicide / polish recon in the whole surface, the gate electrode 37 is formed according to a lithography process and an etching process [drawing 6 (b)]. Next, etching removes the silicon nitride 32, the ion implantation of the arsenic is carried out on condition that [direction / of slant / of 45 degrees] energy 30keV and dose $1 \times 10^{14} \text{cm}^{-2}$, and the source field 38 and the drain field 39 are formed [drawing 6 (c)]. Arsenic is introduced by this slanting ion implantation to the edge of gate oxide 36. A component is completed through the usual MOSFET formation process after this. Thus, in formed MOSFET, a cutback and short-channel-effect control of parasitic capacitance are realizable like the component formed according to the previous example.

[0020] The 3rd example of the manufacture approach is explained with reference to the [3rd example of the manufacture approach], next drawing 7. Drawing 7 (a) – (c) is the order sectional view of a process for explaining this example. In this example, the process to drawing 7 (a) is the same as the process to drawing 5 (a) in the 1st example of the manufacture approach. Next, the resist film 33 is exfoliated, the insulator layer (oxide film) containing arsenic is deposited on the thickness of 20nm, and the impurity content side-attachment-wall insulator layer 40 is formed by anisotropic etching. Next, the ion implantation of the boron is carried out on condition that energy 40keV and dose $1 \times 10^{13} \text{cm}^{-2}$, the channel impurity range 35 is formed, the front face of a silicon substrate 31 is oxidized continuously, and gate dielectric film 36 is formed [drawing 7 (b)].

[0021] Next, after forming the monolayer or laminated structure of polish recon, a metal or a metal / polish recon, or metal silicide / polish recon in the whole surface, etchback is carried out by the dry etching of an anisotropy, and the gate electrode 37 is formed. Subsequently, etching clearance of the silicon nitride 32 is carried out, and the source field 38 and the drain field 39 are formed by the ion implantation of the arsenic from a perpendicular direction after that. This ion implantation may be performed 10 degrees or less from across. Next, heat treatment for 10 seconds is performed at 1000 degrees C, from the impurity content side-attachment-wall insulator layer 40, about 20nm of arsenic is diffused and the impurity diffusion section 41 is formed in the edge of gate dielectric film 36 [drawing 7 (c)].

[0022] According to the MOSFET manufactured by this example, a thick oxide film is formed between a gate electrode and a drain field (and source field), and capacity in the meantime can be made small. Moreover, since the impurity diffusion depth by heat treatment is controllable so that the underside of a drain field is set to about 10 to 20nm from the underside of gate oxide, a shallow source field and a drain field are formed, and a short channel effect can be controlled. Moreover, in the case of this example, the thickness of the impurity content side-attachment-wall insulator layer 40 is not restricted by the ion implantation etc., but is restricted to it by the resistance under it. Then, resistance here can be selected to about 0.1 micrometers or less made smaller than channel resistance.

[0023] The 1st thru/or the 3rd example of the above-mentioned manufacture approach can add the

following modification. the side-attachment-wall insulator layer after etching a substrate and forming the side-attachment-wall insulator layers 34 and 40, and a silicon nitride — a mask — carrying out — a substrate — $1/10$ or less [of channel length (distance between side-attachment-wall insulator layers)] — depth etching is carried out and a channel impurity range and gate dielectric film are formed after that. Moreover, in the above-mentioned example, although only MOSFET of an n channel mold was explained, this invention is not limited to this and can be applied also about the transistor and CMOS of a p channel mold.

[0024]

[Effect of the Invention] As explained above, since MOSFET of this invention prepares a source drain field so that a side-attachment-wall insulator layer may be formed in the side face of the slot established in the substrate and this may be touched, while the former can dig deep, being able to make the junction depth of a source drain shallow like Mold MOSFET and being able to control a short channel effect, a gate electrode and source drain inter-electrode parasitic capacitance can be reduced, and improvement in a switching rate can be aimed at.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the 1st example of MOSFET by this invention.

[Drawing 2] The sectional view showing the 2nd example of MOSFET by this invention.

[Drawing 3] The sectional view showing the 3rd example of MOSFET by this invention.

[Drawing 4] The sectional view showing the 4th example of MOSFET by this invention.

[Drawing 5] The order sectional view explaining the 1st example of the manufacture approach of MOSFET by this invention of a process.

[Drawing 6] The order sectional view explaining the 2nd example of the manufacture approach of MOSFET by this invention of a process.

[Drawing 7] The order sectional view explaining the 3rd example of the manufacture approach of MOSFET by this invention of a process.

[Drawing 8] The former digs deep and it is the sectional view (the 1st conventional example) of the gate mold MOSFET.

[Drawing 9] The former digs deep and it is the sectional view (the 2nd conventional example) of the gate mold MOSFET.

[Description of Notations]

1, 31, 61 Silicon substrate

2 34 Side-attachment-wall insulator layer

3, 35, 64 Channel impurity range

4, 36, 65 Gate dielectric film

5, 8, 37, 66 Gate electrode

6, 38, 62 Source field

7, 39, 63 Drain field

32 Silicon Nitride

33 Resist Film

40 Impurity Content Side-Attachment-Wall Insulator Layer

41 Impurity Diffusion Section

67 Silicon Oxide

68 2nd Source Field

69 2nd Drain Field

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-326489

(43) 公開日 平成9年(1997)12月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L	29/78
	29/41			29/44
	21/336			29/78
				3 0 1 G
				C
				3 0 1 L
				3 0 1 P
				3 0 1 H
審査請求 有 請求項の数 9 O L (全 7 頁)				

(21) 出願番号 特願平8-143923

(22) 出願日 平成8年(1996)6月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古川 昭雄

東京都港区芝五丁目7番1号 日本電気株式会社内

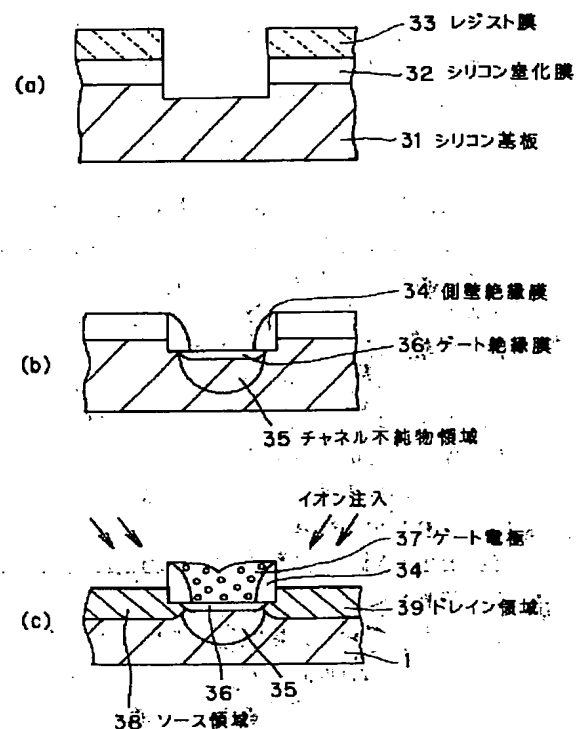
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 MOSFETおよびその製造方法

(57) 【要約】

【目的】 ゲート電極とソース・ドレイン領域間の寄生容量を低減する。短チャネル効果の抑制。

【構成】 p型のシリコン基板31上にシリコン窒化膜32を形成し、レジスト膜32をマスクにエッチングして基板に溝を形成する〔(a)図〕。レジスト膜を除去し溝の側面に側壁絶縁膜34を形成する。ボロンをイオン注入してチャネル不純物領域35を形成し、ゲート絶縁膜36を形成する〔(b)図〕。ポリシリコンの堆積とエッチバックによりゲート電極37を形成しシリコン窒化膜32を除去する。砒素を斜め方向からイオン注入して、ソース領域38、ドレイン領域39を形成する〔(c)図〕。



(2)

【特許請求の範囲】

【請求項1】 半導体基板に溝が形成され、該溝の底面および側面にそれぞれゲート絶縁膜と側壁絶縁膜が形成され、前記側壁絶縁膜に挟まれた溝内にゲート電極が形成され、前記側壁絶縁膜の側面および底面の一部に接してソース・ドレイン領域が形成されていることを特徴とするMOSFET。

【請求項2】 前記溝は、前記側壁絶縁膜間の半導体基板が、前記側壁絶縁膜間の距離の10分の1以下の深さに更に掘り込まれた形状をしており、該掘り込み部分の底面および側面にゲート絶縁膜が形成されていることを特徴とする請求項1記載のMOSFET。

【請求項3】 前記側壁絶縁膜には、ソース・ドレイン領域と同一導電型の不純物が添加されていることを特徴とする請求項1記載のMOSFET。

【請求項4】 (1) 半導体基板上に第1の絶縁膜を形成し、該第1の絶縁膜と前記半導体基板を選択的にエッチングして溝を形成する工程と、

(2) 全面に第2の絶縁膜を堆積しエッチバックして前記溝の側面に側壁絶縁膜を形成する工程と、

(3) 熱酸化を行い前記第1の絶縁膜および前記側壁絶縁膜により保護されていない半導体基板の表面にゲート絶縁膜を形成する工程と、

(4) 前記側壁絶縁膜に挟まれた前記溝内を埋めるゲート電極を形成する工程と、

(5) 前記側壁絶縁膜および前記ゲート電極をマスクとしてイオン注入を行ってソース・ドレイン領域を形成する工程と、を含むMOSFETの製造方法。

【請求項5】 前記第(5)の工程におけるイオン注入が斜め方向から行われることを特徴とする請求項4記載のMOSFETの製造方法。

【請求項6】 前記第(4)の工程の後前記第(5)の工程の前に前記第1の絶縁膜をエッチング除去する工程が挿入されることを特徴とする請求項4記載のMOSFETの製造方法。

【請求項7】 前記第(2)の工程の後前記第(3)の工程の前に前記第1の絶縁膜および前記側壁絶縁膜をマスクとして半導体基板を前記側壁絶縁膜間の距離の10分の1以下の深さにエッチングして溝の底面を下に突起させる工程が挿入されることを特徴とする請求項4記載のMOSFETの製造方法。

【請求項8】 前記第(2)の工程の後前記第(3)の工程の前に前記溝の底面にチャネル不純物をドーピングする工程が挿入されることを特徴とする請求項4記載のMOSFETの製造方法。

【請求項9】 前記第(2)の工程において形成される側壁絶縁膜がソース・ドレイン領域と同一導電型の不純物を含んでおり、前記第(5)の工程において行われるイオン注入が垂直方向ないし10°以下の斜め方向から行われることを特徴とする請求項4記載のMOSFET

Tの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFETの構造およびその製造方法に関し、特にゲート電極が溝内に埋め込まれたいわゆる掘り込みゲート構造のMOSFETおよびその製造方法に関するものである。

【0002】

【従来の技術】MOSFETは微細化することによりその特性向上が図られてきたがその際に短チャネル効果を如何に抑えるかが重要な課題となる。短チャネル効果抑制のためにはゲート端付近のソースおよびドレインの接合を浅くすることが有効であることが知られている。また、MOSFETの性能をより向上させるには、ドレインの拡散層容量を低減させることが肝要であるが、そのためにはチャネル不純物領域がソースおよびドレインと重なる面積を極力少なくする必要があり、ゲート下のみ

【0003】これらの要求を効果的に満たす構造として

て、掘り込みゲート構造のトランジスタが提案されている。その断面構造を図8、図9に示す。図8に示されたものは、E. Takeda他、“New Groove d-Gate MOSFET with Drain Separated from Channel Implanted Region (DSC)”, IEEE Transactions on Electron Devices, Vol. ED-30, NO. 6, p. 681-686, 1983において提案されたものであり、チャネル不純物領域64はシリコン基板61をエッチングして掘り込んだ後にイオン注入により形成され、この上にゲート絶縁膜65とゲート電極66が形成されている。そして、ソース領域62とドレイン領域63はゲート電極66の側面に対向するように形成されている。このような構造では、チャネル不純物領域64はシリコン基板61のうちゲート電極の下の部分のみに形成されるため、ソース領域62およびドレイン領域63の下側は低濃度にすることができ、拡散層容量の低減を図ることができる。また、ソース領域およびドレイン領域はチャネルより上側に形成されているため、ゲート絶縁膜65の下面を基準にして浅い接合を形成することができ、短チャネル効果抑制に効果がある。

【0004】図9は、J. Tanaka他、“A Sub-0.1-μm Grooved Gate MOSFET with High Immunity Short-Channel Effects, Digest of IEDM 93, pp. 537-540により提案されたものであって、ゲート酸化膜の近傍の構造は図8のものと類似している。大きく異なる点は、ソース領域62とドレイン領域63の下にそれぞれ第2ソース領域68とドレイン領域69が形成されていることと、

(3)

ソース領域62とドレイン領域63の側面および上面に厚めの酸化膜が形成されていることである。この構造の場合にも、図8の構造と同様に、チャネル不純物領域64はゲート電極下方のシリコン基板に形成されているため、拡散層容量の低減を図ることができる。さらに、第2ソース領域68および第2ドレイン領域69はゲート酸化膜下面を基準にして浅い接合が形成されているため、短チャネル効果抑制に効果がある。また、特開平5-109758号公報には、図9と同様の構成であって、第2ソース領域、第2ドレイン領域に相当する領域を低不純物領域とすることが提案されている。

【0005】

【発明が解決しようとする課題】上述した従来の掘り込みゲート型MOSFETでは、薄いゲート絶縁膜を介してゲート電極がソース・ドレイン領域（あるいは第2ソース領域と第2ドレイン領域）と対向する構造となるため、ゲート・ソース間およびゲート・ドレイン間に大きな容量が寄生することになり、素子の高速動作が阻害されていた。したがって、本発明の解決すべき課題は、薄いゲート酸化膜を介してゲート電極とソース・ドレイン領域とが対向する部分をなくすことによりあるいは極力少なくすることにより、ゲート・ソース間およびゲート・ドレイン間の寄生容量を低減することである。

【0006】

【課題を解決するための手段】上述した課題は、基板の一部をエッチングすることによって、ゲート絶縁膜の表面がソース領域およびドレイン領域の上面より低い位置に形成されるようにし、そして、ゲート電極の側面とソース領域およびドレイン領域の側面の間にゲート絶縁膜より厚い絶縁膜が形成されるようにすることにより解決することができる。

【0007】

【発明の実施の形態】本発明によるMOSFETは、半導体基板上に溝が形成され、該溝の底面および側面にそれぞれゲート絶縁膜と側壁絶縁膜が形成され、前記側壁絶縁膜に挟まれた溝内にゲート電極が形成され、前記側壁絶縁膜の側面および底面の一部に接してソース・ドレイン領域が形成されていることを特徴とするものである。また、溝は、側壁絶縁膜によって挟まれた基板を掘り下げた底面が下に突起した形状とすることができ、その場合にはその突起部分の底面および側面にゲート絶縁膜が形成される。

【0008】また、本発明によるMOSFETの製造方法は、(1)半導体基板上に第1の絶縁膜を形成し、該第1の絶縁膜と前記半導体基板を選択的にエッチングして溝を形成する工程と、(2)全面に第2の絶縁膜を堆積しエッチバックして前記溝の側面に側壁絶縁膜を形成する工程と、(3)熱酸化を行い前記第1の絶縁膜および前記側壁絶縁膜により保護されていない半導体基板の表面にゲート絶縁膜を形成する工程と、(4)前記側壁

4

絶縁膜に挟まれた前記溝内を埋めるゲート電極を形成する工程と、(5)前記側壁絶縁膜および前記ゲート電極をマスクとしてイオン注入を行ってソース・ドレイン領域を形成する工程と、を含むものである。そして、上記第(5)の工程におけるイオン注入は、基板面に対し斜め方向から行うことができる。

【0009】【作用】従来の掘り込みゲート型MOSFETのゲートとソース・ドレイン領域間に存在していた寄生容量は、ゲート電極とソース領域およびドレイン領域間の絶縁膜を厚くすることによって低減することができる。ただし、この場合絶縁膜が厚いとゲートに電圧を印加してもこの絶縁膜とシリコン基板の界面にキャリアを生成することが難しくなるため、チャネルとソース領域、およびチャネルとドレイン領域の間に大きな抵抗がつく。これを防ぐために、絶縁膜の下側に不純物を適切に導入することが必要となる。

【0010】本発明のMOSFETでは、ゲートとソース領域およびドレイン領域の間に厚い側壁絶縁膜を設けて寄生容量を低減しているが、この絶縁膜の下には不純物を導入してチャネルとソース領域、およびチャネルとドレイン領域間に低抵抗な層を短チャネル効果が起こらない厚さで形成する必要があるため、この絶縁膜の厚さには制限がある。イオン注入で不純物を導入する場合には、例えば0.25 μm 以下のゲート長で短チャネル効果を抑制しようとした場合、絶縁膜の下に必要な不純物層の厚さは50nm以下が好ましく、斜めイオン注入でこの厚さの不純物層を形成するには、絶縁膜の厚さは50nm以下がよい。必要とされる不純物層や絶縁膜の厚さはゲート長に比例するので、絶縁膜の厚さはゲート長の5分の1以下が好ましいといえる。

【0011】また、溝を、底面が下に突起した形状に形成しその側面および底面にゲート絶縁膜を形成する場合には、チャネル長を長くすることができより確実に短チャネル効果を抑制することができる。しかし、この形状を採用したときにはゲート電極とソース・ドレイン間の寄生容量が若干増大する。しかし、ソース・ドレイン領域の接合深さを抑え、そして溝の突起部の深さを一定以下に制限することにより、ゲートに係る寄生容量の増加を僅少に抑えることができる。例えば、溝の突起部の深さをその底面の長さ（チャネル長）の1/10の1以下に抑えるとき、寄生容量の増加分をゲート容量の2割以内に抑えることができ、大きな特性低下を招かずに済む。これは、特に高速化を狙う光通信用ICの場合重要である。ソース・ドレイン領域の側壁絶縁膜の底面から見た接合深さを側壁絶縁膜の膜厚程度あるいはそれ以下に設定しておくとき、溝が突起部のある形状に形成されたときに、ソース抵抗、ドレイン抵抗を増加させることなく、ゲート・ソース間およびゲート・ドレイン間の寄生容量の増加を最低限に抑えることができる。

【0012】また、本発明の製造方法によれば、ゲート

(4)

5

絶縁膜より膜厚の厚い側壁絶縁膜は、掘り込みゲートを形成するためにシリコン基板をエッチングした後、所望の厚さの絶縁膜形成とそれに続くエッチバックにより形成する。これにより、エッチングした側面に所望の厚さの側壁絶縁膜が簡単に形成され、これがゲートとソース領域およびドレイン領域の間に位置することになり、この間の容量を低減することができる。また、この厚い絶縁膜の下にはイオン注入で不純物を導入するが、前記絶縁膜が20nm程度の場合は基板に垂直に適当な加速電圧でイオン注入すれば前記絶縁膜の下に20nm程度の薄い不純物層を形成することができる。また前記絶縁膜が20nm以上の厚さの場合には、基板に対し斜め方向から不純物を適当な加速電圧でイオン注入すれば前記絶縁膜の下に薄い不純物層を形成することができる。この不純物層により、チャンネルとソース領域およびドレイン領域の間の抵抗は素子特性が劣化しない程度に小さくできる。しかも、注入イオンの飛程とイオン注入角度を適切に設定することにより、溝の底面がフラットである場合にもまた溝底面に突起（追加掘り下げ部）が形成されている場合にもソース・ドレイン領域の薄いゲート絶縁膜を介してゲート電極と対向する部分を最小限に抑えることができる。

【0013】

【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。

【第1の実施例】図1は、本発明の第1の実施例を示す断面図である。不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 程度のp型のシリコン基板1の素子形成領域の一部に縦0.3μm、横10μmの大きさで深さが20nm程度の溝がエッチングにより形成され、その溝の側面に、厚さ20nm程度の側壁絶縁膜2が形成されている。側壁絶縁膜2で囲まれた部分のシリコン基板表面に厚さ10nmのゲート絶縁膜4が形成され、ゲート絶縁膜4の下に不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ のチャンネル不純物領域3が、またゲート絶縁膜4の上でかつ側壁絶縁膜2で囲まれた領域内にゲート電極5が形成されている。そして、側壁絶縁膜2の一方の外側にソース領域6、反対側の外側にドレイン領域7が形成されている。ここで、ソース領域6およびドレイン領域7の下側はゲート電極下面より20から30nm下にある。そしてその接合深さは、側壁絶縁膜2の下でチャンネル方向に向かって徐々に浅くなっている。この構造により従来の掘り込みゲート型MOSFETの特徴である、低拡散層容量と浅いソースおよびドレイン接合が得られる上に、従来の短所であったゲート・ソース間およびゲート・ドレイン間の大きな寄生容量を厚い側壁絶縁膜2の形成により低減できる。この側壁絶縁膜の厚さは、作用の項で述べたようにゲート長の5分の1以下が好ましい。

【0014】【第2の実施例】図2は、本発明の第2の実施例を示す断面図である。本実施例の構造は、図1に

6

示した第1の実施例に類似しているが、相違している点は、ゲート電極8が側壁絶縁膜の上で外側に拡張した構造となっている点である。第1の実施例においては、ゲート電極を堆積膜のエッチバックにより形成していたが、本実施例の場合には、フォトリソグラフィ法およびドライエッチング法を用いることによりゲート形成を行っている。その他の部分の構造および作用は第1の実施例の場合と同様である。

【0015】【第3の実施例】図3は、本発明の第3の実施例を示す断面図である。本実施例の第1の実施例と相違している点は、側壁絶縁膜2で囲まれた部分のシリコン基板が側壁絶縁膜2の下面より下に、ゲート長の10分の1以内の深さにエッチングされ、該エッチング部分が電極形成材料により埋め込まれている点であって、その他の点では第1の実施例と同様である。このような構造では、ゲートとドレインやソース間容量が第1の実施例の場合より増大するが、ソース・ドレイン領域の接合深さがチャンネル領域に向かって浅くなっておりそして基板エッチング量がゲート長の10分の1以内なので容量増大はソース側とドレイン側を合わせて高々2割である。この2割以内の増大というのは装置の規格を達成する上で重要である。例えば、光通信システムではデータ伝送速度は600メガビット/秒、2.4ギガビット/秒、10ギガビット/秒等の規格になっている。光通信用ICを、この発明の方式を採用し上記エッチング深さをゲート長の10分の1としたゲート長0.15μmのCMOSを用いて作製したところ、2.5ギガビット/秒のデータ伝送速度を得ることができたが、エッチング深さをゲート長の10分の1.5にした場合には2.3ギガビット/秒となり、規格の2.4ギガビット/秒を達成することができなかった。

【0016】【第4の実施例】図4は、本発明の第4の実施例を示す断面図である。本実施例の第2の実施例と相違している点は、側壁絶縁膜2で囲まれた部分のシリコン基板が側壁絶縁膜2の下面より下に、ゲート長の10分の1以内の深さにエッチングされ、該エッチング部分が電極形成材料により埋め込まれている点であって、その他の点では第2の実施例と同様である。このような構造では、ゲートとドレインやソース間容量が第2の実施例の場合より増大するが、ソース・ドレイン領域の接合深さがチャンネル領域に向かって徐々に浅くなっておりかつ基板エッチング量がゲート長の10分の1以内なので、容量増大はソース側とドレイン側とを合わせてわずかな増大ですむ。

【0017】【製造方法の第1の実施例】次に、図5を参照して製造方法の第1の実施例について説明する。図5(a)～(c)は、この実施例を説明するための工程順断面図である。まず、不純物濃度 $1 \times 10^{14} \text{ cm}^{-3}$ 程度のp型のシリコン基板31の表面にフィールド絶縁膜やn型ウェルやp型ウェル（いずれも図示なし）を形成

(5)

7
し、素子形成領域を画定する。次に、シリコン窒化膜
(Si_3N_4) 32を100nmの厚さに堆積し、レジ
スト塗布および露光、現像工程を経て、素子のゲート形
成領域に開口を有するレジスト膜33を形成する。次
に、これをマスクにしてシリコン窒化膜32をエッチン
グし、さらにシリコン基板31を深さ20nmエッチン
グする〔図5(a)〕。次に、レジスト膜33を剥離
し、絶縁膜として例えばシリコン酸化膜を20nm堆積
し、異方性エッチングにより側壁絶縁膜34を形成す
る。次に、ボロンをエネルギー40keV、ドーズ量
 $1 \times 10^{13} \text{cm}^{-2}$ の条件でイオン注入して、チャネル不純
物領域35を形成し、続いて、シリコン基板31の表面
を酸化してゲート絶縁膜36を形成する〔図5
(b)〕。

【0018】次に、ポリシリコンまたは金属または金属
／ポリシリコンまたは金属シリサイド／ポリシリコンの
単層または積層構造を全面に形成した後、異方性エッチ
ングにより側壁絶縁膜34で囲まれた部分のみにゲート
電極37を形成し、シリコン窒化膜32をエッチング除
去する。次に、砒素をエネルギー30keV、ドーズ量
 $1 \times 10^{14} \text{cm}^{-2}$ の条件で、45度の斜め方向からのイ
オン注入によりソース領域38およびドレイン領域39
を形成する〔図5(c)〕。この斜めイオン注入により
砒素がゲート絶縁膜36の端まで導入される。この後は
通常MOSFET形成工程により素子を完成する。こ
の製造工程により製作されたMOSFETでは、ゲート
電極とドレイン領域(およびソース領域)の間に厚い酸
化膜が形成されるため、その間の容量を小さくできる。
また、ドレイン領域の下面がゲート酸化膜の下面より1
0から20nm程度になるようにイオン注入エネルギー
を選ぶことができるので、浅いソース領域およびドレ
イン領域が形成され短チャネル効果抑制に効果がある。

【0019】〔製造方法の第2の実施例〕次に、図6を
参照して製造方法の第2の実施例について説明する。図
6(a)～(c)は、この実施例を説明するための工程
順断面図である。本実施例の製造工程は、図5(b)に
示す工程までは第1の実施例の場合と同様であって、こ
の工程を終了した状態を図6(a)に示す。その後、ポ
リシリコンまたは金属または金属／ポリシリコンまたは
金属シリサイド／ポリシリコンの単層または積層構造を
全面に形成した後、リソグラフィ工程とエッチング工程
によりゲート電極37を形成する〔図6(b)〕。次
に、シリコン窒化膜32をエッチングにより除去し、砒
素をエネルギー30keV、ドーズ量 $1 \times 10^{14} \text{cm}^{-2}$
の条件で、45度の斜め方向よりイオン注入してソース
領域38およびドレイン領域39を形成する〔図6
(c)〕。この斜めイオン注入により砒素がゲート酸化
膜36の端まで導入される。この後は通常MOSFET
形成工程を経て素子が完成する。このようにして形成
したMOSFETにおいては、先の実施例により形成し

8

た素子と同様に、寄生容量の削減と短チャネル効果抑制
を実現することができる。

【0020】〔製造方法の第3の実施例〕次に、図7を
参照して製造方法の第3の実施例について説明する。図
7(a)～(c)は、この実施例を説明するための工程
順断面図である。本実施例において、図7(a)までの
工程は製造方法の第1の実施例での図5(a)までの工
程と同じである。次に、レジスト膜33を剥離し、砒素
を含有した絶縁膜(酸化膜)を20nmの厚さに堆積
し、異方性エッチングにより不純物含有側壁絶縁膜40
を形成する。次に、ボロンをエネルギー40keV、ド
ーズ量 $1 \times 10^{13} \text{cm}^{-2}$ の条件でイオン注入してチャネ
ル不純物領域35を形成し、続いてシリコン基板31の
表面を酸化してゲート絶縁膜36を形成する〔図7
(b)〕。

【0021】次に、ポリシリコンまたは金属または金属
／ポリシリコンまたは金属シリサイド／ポリシリコンの
単層または積層構造を全面に形成した後、異方性のドラ
イエッチングによりエッチバックしてゲート電極37を
形成する。次いで、シリコン窒化膜32をエッチング除
去し、その後、垂直方向からの砒素のイオン注入により
ソース領域38およびドレイン領域39を形成する。こ
のイオン注入は、 10° 以下の斜め方向から行ってもよ
い。次に、 1000°C で10秒間の熱処理を行って不純
物含有側壁絶縁膜40より砒素を20nm程度拡散させ
ゲート絶縁膜36の端部に不純物拡散部41を形成する
〔図7(c)〕。

【0022】本実施例により製作されたMOSFETに
よれば、ゲート電極とドレイン領域(およびソース領
域)の間に厚い酸化膜が形成され、その間の容量を小さ
くできる。また、ドレイン領域の下面がゲート酸化膜の
下面より10から20nm程度になるように熱処理によ
る不純物拡散深さを制御できるので、浅いソース領域お
よびドレイン領域が形成され短チャネル効果を抑制す
ることができる。また、本実施例の場合には、不純物含
有側壁絶縁膜40の厚さはイオン注入等により制限され
ず、その下の抵抗値により制限される。そこで、ここ
での抵抗をチャネル抵抗より小さくできる $0.1 \mu\text{m}$ 程
度以下に選定することができる。

【0023】上述の製造方法の第1ないし第3の実施例
は、次のような変更を加えることができる。基板をエッ
チングして側壁絶縁膜34、40を形成した後、側壁絶
縁膜およびシリコン窒化膜をマスクとして基板をチャ
ネル長(側壁絶縁膜間の距離)の10分の1以下の深さエ
ッチングし、その後にチャネル不純物領域とゲート絶縁
膜を形成する。また、上記の実施例ではnチャネル型の
MOSFETについてのみ説明したが本発明はこれに限
定されるものではなく、pチャネル型のトランジスタお
よびCMOSについても適用が可能なるものである。

【0024】

(6)

9

【発明の効果】以上説明したように、本発明のMOSFETは、基板に設けた溝の側面に側壁絶縁膜を形成しこれに接するようにソース・ドレイン領域を設けたものである。従来掘り込み型MOSFETと同様にソース・ドレインの接合深さを浅くして短チャネル効果を抑制することができる。同時に、ゲート電極とソース・ドレイン電極間の寄生容量を削減することができ、スイッチング速度の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明によるMOSFETの第1の実施例を示す断面図。

【図2】本発明によるMOSFETの第2の実施例を示す断面図。

【図3】本発明によるMOSFETの第3の実施例を示す断面図。

【図4】本発明によるMOSFETの第4の実施例を示す断面図。

【図5】本発明によるMOSFETの製造方法の第1の実施例を説明する工程順断面図。

【図6】本発明によるMOSFETの製造方法の第2の実施例を説明する工程順断面図。

10

【図7】本発明によるMOSFETの製造方法の第3の実施例を説明する工程順断面図。

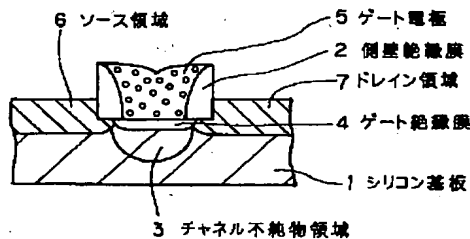
【図8】従来の掘り込みゲート型MOSFETの断面図（第1の従来例）。

【図9】従来の掘り込みゲート型MOSFETの断面図（第2の従来例）。

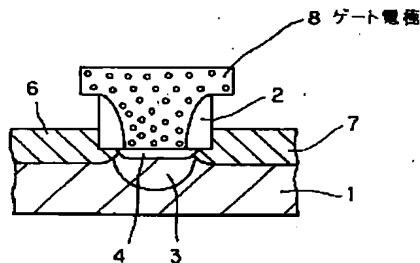
【符号の説明】

- 1、31、61 シリコン基板
- 2、34 側壁絶縁膜
- 3、35、64 チャネル不純物領域
- 4、36、65 ゲート絶縁膜
- 5、8、37、66 ゲート電極
- 6、38、62 ソース領域
- 7、39、63 ドレイン領域
- 32 シリコン窒化膜
- 33 レジスト膜
- 40 不純物含有側壁絶縁膜
- 41 不純物拡散部
- 67 シリコン酸化膜
- 68 第2ソース領域
- 69 第2ドレイン領域

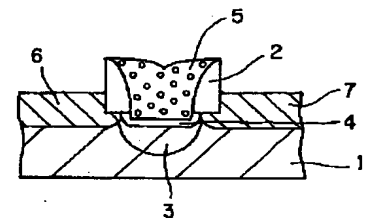
【図1】



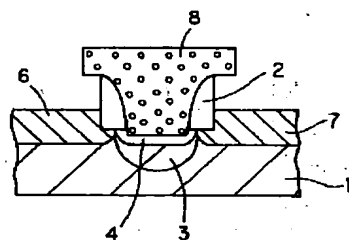
【図2】



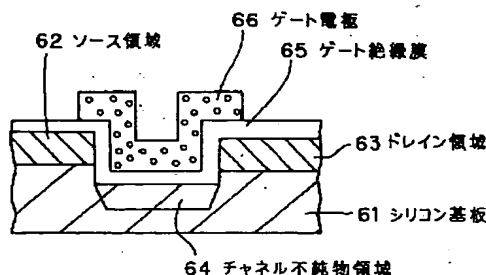
【図3】



【図4】

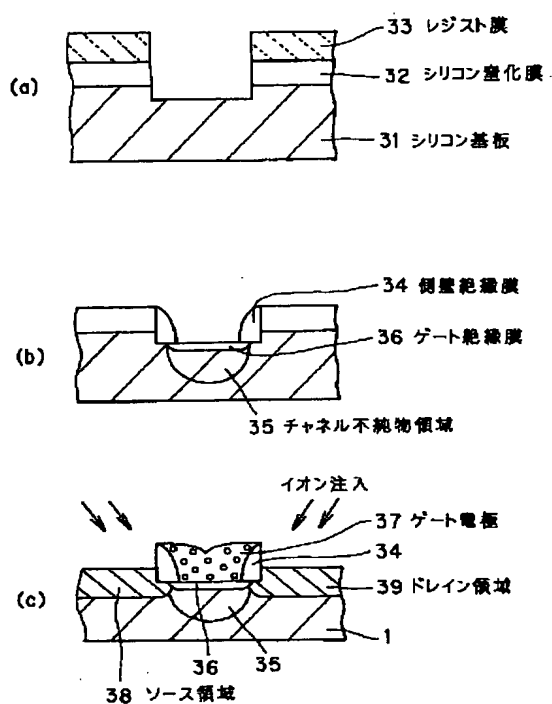


【図8】

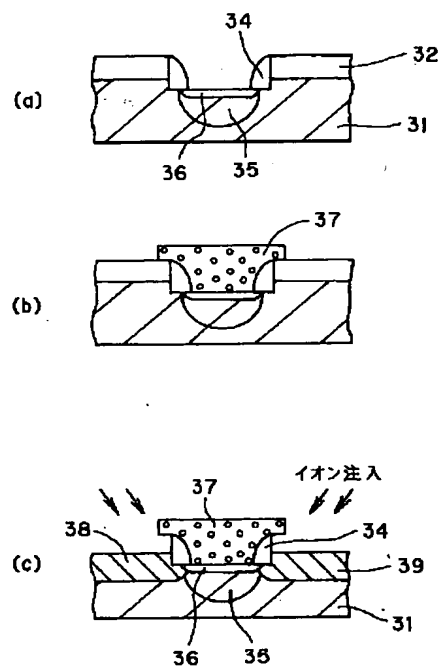


(7)

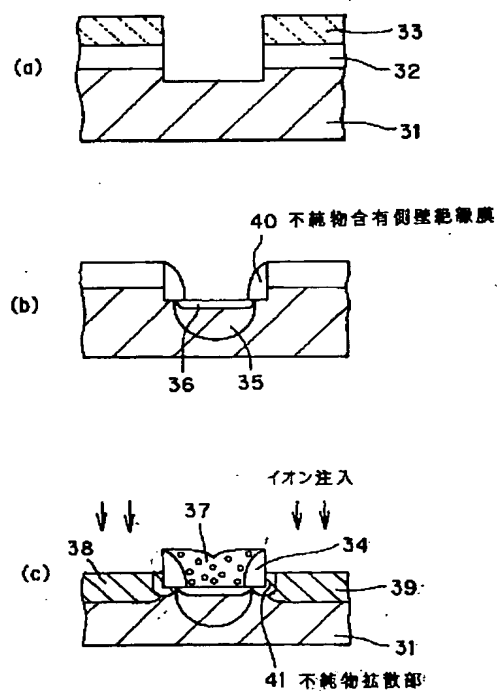
【図5】



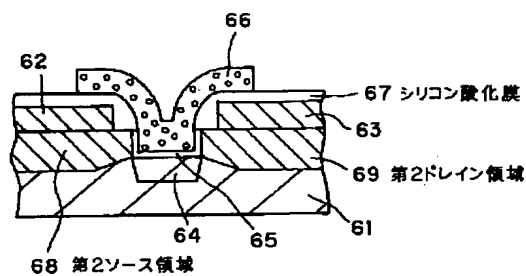
【図6】



【図7】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.